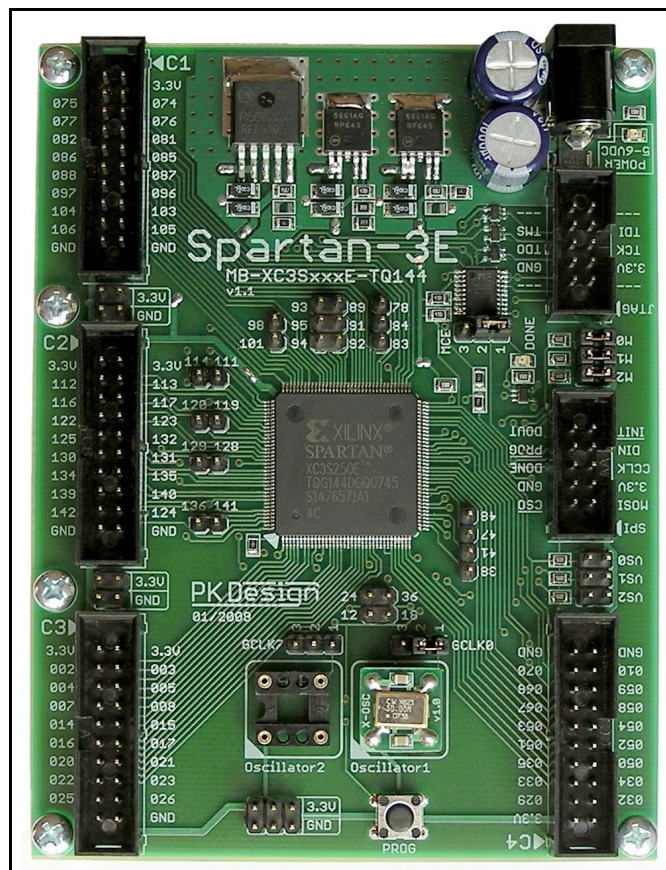


PK Design

MB-XC3SxxxE-TQ144 v1.1

Základová deska modulárního vývojového systému MVS

Uživatelský manuál



Obsah

1	Upozornění.....	3
2	Úvod.....	4
2.1	Vlastnosti základové desky.....	4
2.2	Vlastnosti obvodu XC3S100/250E-TQ144.....	4
2.3	Použití základové desky.....	4
2.4	Podpora.....	5
2.5	Stručný popis.....	5
3	Provozní podmínky a parametry.....	6
4	Nastavení a použití.....	7
4.1	Připojení napájecího napětí.....	8
4.2	Připojení přídatných modulů – MLW20 a pin-header konektory.....	9
4.3	Nastavení Mode select.....	10
4.4	Nastavení SPI variant select.....	10
4.5	Povolení konfigurační paměti XCFxx – MCE\.....	10
4.6	Připojení zdrojů hodinových signálů.....	10
4.7	Konfigurace FPGA přes rozhraní SPI.....	11
4.8	Konfigurace FPGA přes rozhraní JTAG.....	12
4.9	Tlačítko PROG.....	12
4.10	Konektory 3.3V / GND.....	12
5	Literatura.....	13
6	Historie verzí dokumentace.....	13

1 Upozornění

Při používání základové desky dodržujte provozní podmínky uvedené v této kapitole a v kapitole „Provozní podmínky a parametry“. Nedodržení těchto doporučených provozních podmínek může vést k poškození či zničení základové desky, což může mít dále za následek poškození či zničení připojených modulů nebo připojeného uživatelského zařízení.

Za poškození či zničení základové desky a připojených zařízení, důsledkem porušení doporučených provozních podmínek, nenese výrobce zodpovědnost.

Základová deska MB-XC3SxxxE-TQ144 byla navržena pro vývojové a výukové účely, nikoliv pro instalaci do konečného zařízení. Vzhledem k faktu, že k základové desce je možné připojit velké množství rozšiřujících modulů či uživatelský hardware není možné specifikovat výslednou velikost elektromagnetického pole, které bude tímto celkem vyzařováno. Uživatel také musí brát v úvahu, že základová deska není proti vlivům elektromagnetického pole nikterak speciálně chráněna a její funkce může být při vysokých intenzitách tohoto pole ovlivněna.

Při jakékoliv manipulaci se základovou deskou je nutné zabezpečit, aby nemohlo dojít k elektrostatickému výboji (ESD), a proto vždy používejte ESD ochranné pomůcky (uzemňovací ESD náramek, vodivou antistatickou podložku apod.). Elektrostatický výboj může mít za následek zničení základové desky i připojeného zařízení.

Není dovoleno základovou desku vystavovat intenzivnímu slunečnímu záření, rychlým změnám teplot, vodě či vysoké vlhkosti. Není také dovoleno ji jakkoliv mechanicky namáhat. Základová deska není odolná proti vlivům agresivních prostředí.

Při čištění nesmí být použito rozpouštědel ani saponátů. Čistěte pouze suchým antistatickým hadříkem (dodržujte ESD podmínky z minulých odstavců).

2 Úvod

2.1 Vlastnosti základové desky

- Základová deska obsahuje programovatelné hradlové pole FPGA firmy Xilinx : XC3S100E/250E-TQFP144.
- Návrh je možné vytvářet v systému:
 - Xilinx WebPACK – volně dostupné vývojové prostředí (schematic, VHDL, Verilog, state machine).
 - Xilinx ISE – komerční vývojové prostředí (schematic, VHDL, Verilog, state machine).
 - Xilinx EDK – komerční vývojové prostředí pro vytváření vlastních soft-procesorů na bázi MicroBlaze 32bit MCU.
- Deska obsahuje konfigurační paměť pro FPGA typu Platform Flash – XCF01/02S-VO20, která je zapojená v JTAG řetězci.
- Obvod FPGA je možné konfigurovat přes JTAG nebo SPI rozhraní a nebo z konfigurační paměti XCFxx. Počet překonfigurování FPGA není omezen. Pro konfiguraci přes JTAG rozhraní je možné použít programátory ParProgR či UniProgUSB PKDesign.
- Konfigurační mód FPGA lze nastavit pomocí propojek.
- Stav naprogramování je indikován LED diodou
- 91 I/O vývodů FPGA je přístupných na 4 detailně popsaných rozšiřujících konektorech MLW20 a dále na konektorech typu pin-header. Tyto konektory slouží pro připojení přídatných modulů či uživatelského hardware.
- Napájecí napětí pro I/O vývody FPGA a také připojeného hardware je jednotné – 3.3V.
- K obvodu FPGA lze připojit až 2 zdroje hodinových signálů. Pro tyto účely jsou na desce 2 patice DIL-8 pro krystalové 3.3V oscilátory a 2 konfigurační propojky.
- Rozměry (v x š x d) : 23mm x 87.6mm x 113.7mm.

2.2 Vlastnosti obvodu XC3S100/250E-TQ144

- Programovatelné hradlové pole FPGA s neomezeným počtem přeprogramování (vnitřní konfigurační paměť typu SRAM).
- 240/612 logických bloků CLB, což představuje 1920/4896 klopných obvodů nebo také 100.000/250.000 logických hradel.
- 72/216kbit blokové RAM paměti.
- 4/12 hardwarových násobiček 18x18 bitů.
- 2/4 jednotky generování a úpravy hodinového signálu 5-300MHz.
- Konfigurační rozhraní pro: SPI serial flash, 8/16bit parallel NOR flash a Xilinx Platform Flash paměti.
- Možnost implementace Xilinx PicoBlaze-8bit embedded procesorového jádra.
- Obvod XC3S250E je vhodný pro implementaci Xilinx MicroBlaze-32bit embedded procesorového jádra.
- Kompatibilní s DDR SDRAM (podpora až 333Mb/s) a s 32/64bit 33MHz PCI.
- Až 108/172 I/O vývodů (pro maximální velikosti pouzdra).

2.3 Použití základové desky

- Výuka logických obvodů a mikroprocesorové techniky (32bit MicroBlaze embedded processor core).
- Rychlé matematické a signálové koprocesory.
- Systémy pro rychlý sběr dat.
- Komunikační systémy.
- Vestavěné řídicí systémy a systémy na jednom čipu (SoC).

2.4 Podpora

- Pro podporu výukových aplikací slouží rozmanitá sada připojitelných rozšiřujících modulů, která se neustále doplňuje.
- Návrh vnitřní struktury hradlového pole je možné provádět ve volně dostupném vývojovém systému Xilinx WebPACK a nebo v komerčním systému Xilinx ISE. Pro návrh systému na bázi embedded procesoru MicroBlaze slouží komerční systém Xilinx EDK. U komerčních systémů existuje 60 denní zkušební verze. Prostředí Xilinx WebPack je dostupné na internetových stránkách firmy Xilinx.
- Programování lze provádět přes rozhraní SPI a nebo JTAG. JTAG rozhraní je podporováno programátorem PKDesign ParProgR, který se připojuje na paralelní port PC a je podporován přímo ze systémů WebPack či ISE a nebo programátorem PKDesign UniProg-USB s využitím volně dostupného software „MB_XC3Sxxx_JTAG_prog“.

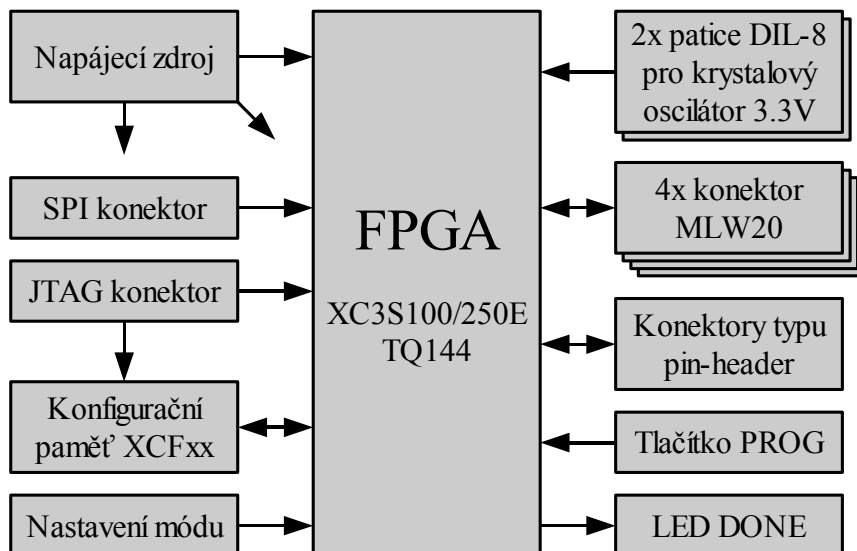
2.5 Stručný popis

Základová deska MB-XC3SxxxE-TQ144 je jednou z hlavních částí vývojového a výukového modulárního systému MVS. Obsahuje hradlové pole FPGA řady Spartan-3E firmy Xilinx s označením XC3S100E-TQ144 nebo XC3S250E-TQ144 (dle objednávky). Vzhledem k tomu, že všechny typy FPGA obvodů z řady Spartan-3 jsou vzájemně kompatibilní, je možné na této desce provádět výuku či vyvíjet a testovat návrhy pro jakéhokoliv zástupce této řady (jednotlivé obvody se liší počtem IO vývodů, maximální velikostí návrhu a velikostí interní BLOCK-RAM paměti, ale postup návrhu a implementace je u všech obvodů této řady stejný).

Při návrhu základové desky byl kladen důraz na maximální využití použitého obvodu FPGA. Deska proto obsahuje pouze součástky, které jsou nezbytně nutné pro funkci hradlové pole, 4 rozšiřující konektory CON1..4 typu MLW20 a několik konektorů typu pin-header, pomocí nichž se deska propojuje s ostatními moduly vývojového systému MVS. Na tyto konektory se také může připojit uživatelský hardware nebo část vyvíjené aplikace.

Tím, že deska neobsahuje žádné speciální periferní obvody přímo připojené k obvodu FPGA je návrháři umožněno zapojit celý systém přesně podle jeho představ.

Jednotlivé části základové desky jsou zobrazeny na obrázku 1.



Obr. 1 - blokové schéma základové desky

3 Provozní podmínky a parametry

Maximální napájecí napětí V_{INMAX}	9V stejnosměrných
Doporučené napájecí napětí V_{IN}	5.0– 6.0V stejnosměrných
Maximální proudový odběr z 3.3V napájení $I_{PER,3.3V}^1$	0.47A/ $V_{IN}=6V$, 0.86A/ $V_{IN}=5V$
Maximální ztrátový výkon na hlavním napěťovém stabilizátoru P_{TOT}^1	1.2W
Klidový proudový odběr základové desky bez připojených modulů.....	60mA typ.
Povolené vstupní napětí I/O vývodů na konektorech MLW20 a pin-header.....	-0.5V až +3.8V
Povolené vstupní napětí I/O vývodů na konektorech SPI a JTAG (kromě PROG\)... ..	-0.5V až +3.8V
Povolené vstupní napětí I/O vývodu na konektoru JTAG (PROG\)... ..	-0.5V až +3.0V
Maximální odebíraný proud z I/O vývodu mikrokontroléru.....	20mA
Maximální odebíraný proud ze všech I/O vývodů mikrokontroléru současně.....	300mA
Skladovací teplota okolí.....	-10°C až +50°C
Provozní teplota okolí.....	+10°C až +40°C

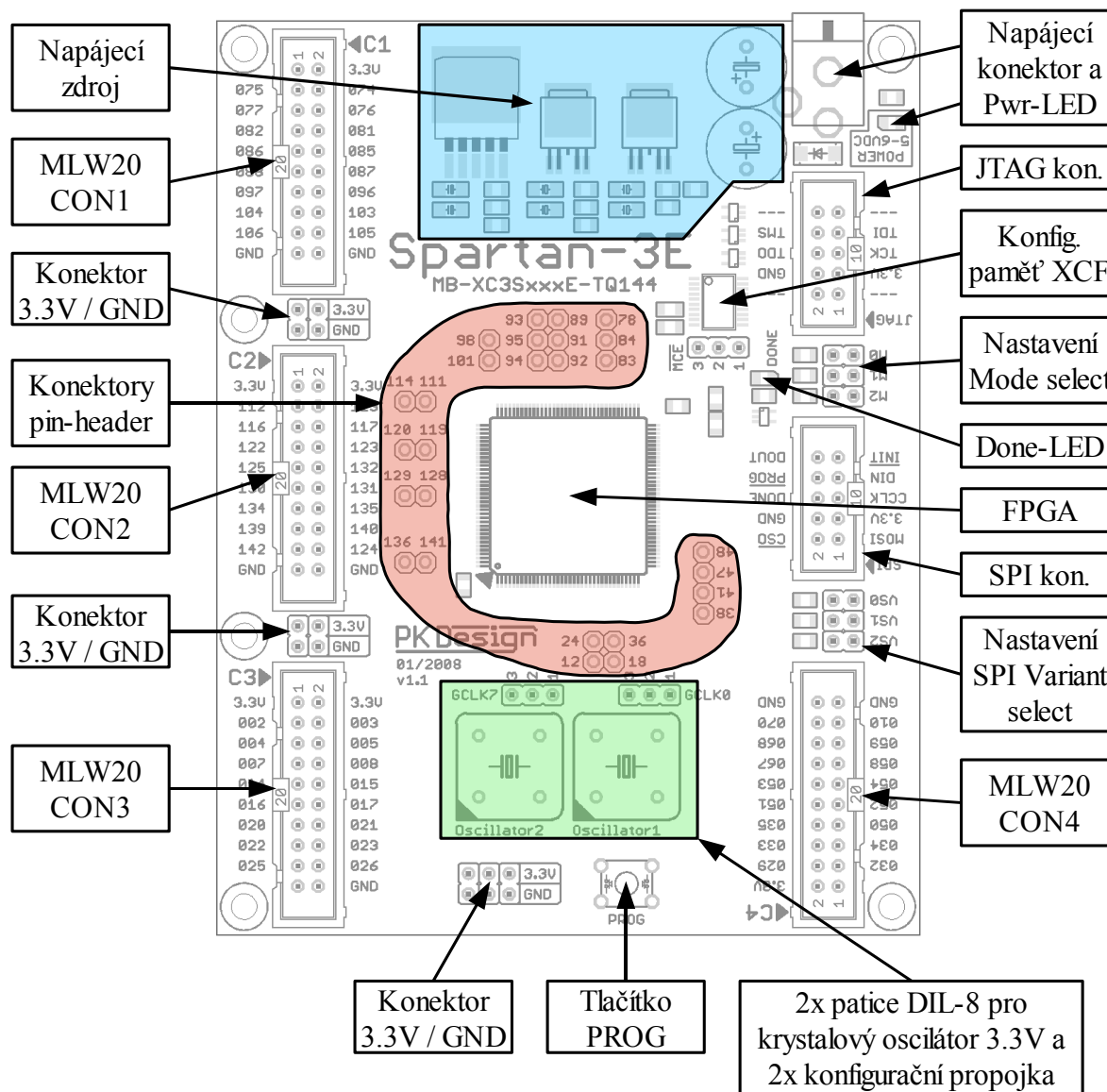
Kromě výše zmíněných provozních podmínek dodržujte také podmínky pro obvod XC3S100/250E, konfigurační paměť XCF01/02S a obvody NL17SZ125 ze sekce „Absolute Maximum Ratings“ a „DC characteristics“ katalogových listů příslušného výrobce.

Při nedodržení provozních podmínek hrozí zničení obvodů základové desky i připojeného hardware!

¹ Výpočet hodnoty je uveden v kapitole „4.1 Připojení napájecího napětí“.

4 Nastavení a použití

V této sekci je popsáno jak základovou desku nastavovat a používat. Je zde uveden způsob připojení ke zdroji napájecího napětí, zapojení rozšiřujících konektorů a jejich používání, významy jednotlivých konfiguračních propojek (jumperů) a také popsány typy konfigurace obvodu FPGA.

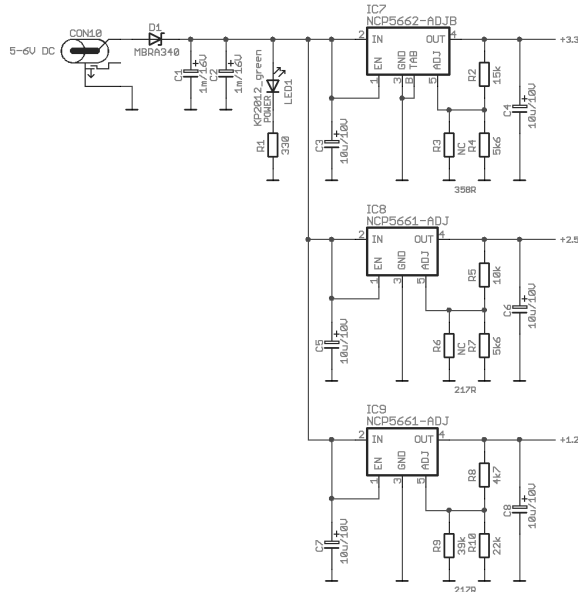


Obr. 2 - části základové desky

4.1 Připojení napájecího napětí

Napájecí napětí se k základové desce připojuje přes napájecí konektor CON10, stav napájení je indikován LED diodou.

Obvod XC3S100/250E má celkem 3 napájecí napětí – V_{CCINT} (jádro 1.2V), V_{CCAUX} (vnitřní spec. bloky 2.5V) a V_{CCIO} (vstupně/výstupní porty 3.3V). Proto i napájecí zdroj na základové desce obsahuje celkem 3 napěťové regulátory (ultrafast LDO).



Velikost napájecího napětí je vhodné volit v rozmezí 5.0– 6.0V. Při volbě jeho velikosti je nutné brát v úvahu celkový maximální ztrátový výkon P_{TOT} na všech 3 napěťových regulátorech dohromady (IC7, IC8 a IC9).

Při použití příliš velkého napájecího napětí může být hodnota ztrátového výkonu na regulátorech vyšší než je její maximální dovolená hodnota pro dané chlazení (1.2W), což může mít za následek zničení regulátorů překročením maximálního dovoleného ztrátového výkonu či maximální dovolené teploty čipu a tím i zničení všech obvodů základové desky!

Celkový ztrátový výkon na regulátorech je závislý na velikosti vstupního napájecího napětí V_{IN} a dále na proudových odběrech v jednotlivých napájecích větvích (proudech z regulátorů). Regulátory pro 1.2V a 2.5V jsou zatěžovány pouze proudovými odběry obvodu FPGA, regulátor 3.3V je zatěžován jak proudem do obvodu FPGA, tak i proudem do zařízení připojených na konektory MLW20 (vývody 1 a 2) nebo na napájecí konektory 3.3V. Proudy a ztrátové výkony jsou popsány následujícími vztahy:

Pro obvod XC3S250E @ 25°C jsou v datasheetu uvedeny tyto typické hodnoty klidových proudů **pro nenaprogramované FPGA** :

$$\begin{aligned} I_{FPGA_1.2V} &= 15\text{mA} \\ I_{FPGA_2.5V} &= 12\text{mA} \\ I_{FPGA_3.3V} &= 1.5\text{mA} \end{aligned}$$

Pro proudy z napěťových regulátorů platí:

$$\begin{aligned} I_{REG_1.2V} &= I_{FPGA_1.2V} \\ I_{REG_2.5V} &= I_{FPGA_2.5V} \\ I_{REG_3.3V} &= I_{FPGA_3.3V} + I_{PER_3.3V} \quad \text{kde } I_{PER_3.3V} \text{ je proudový odběr periferií připojených na konektory MLW20 nebo konektory 3.3V} \end{aligned}$$

Ztrátové výkony jednotlivých regulátorů:

$$\begin{aligned} P_{REG_1.2V} &= (V_{IN} - V_{FD1} - 1.2V) * I_{FPGA_1.2V} \\ P_{REG_2.5V} &= (V_{IN} - V_{FD1} - 2.5V) * I_{FPGA_2.5V} \\ P_{REG_3.3V} &= (V_{IN} - V_{FD1} - 3.3V) * I_{FPGA_3.3V} + (V_{IN} - 3.3V) * I_{PER_3.3V} \end{aligned}$$

kde V_{FD1} je úbytek napětí na vstupní ochranné diodě D1 a je rovno 0.4V @ 1A a 25°C (viz. příslušný datasheet)

Výsledný celkový ztrátový výkon:

$$\begin{aligned} P_{TOT} &= P_{REG_1.2V} + P_{REG_2.5V} + P_{REG_3.3V} \\ P_{TOT} &= (V_{IN} - 0.4 - 1.2) * I_{FPGA_1.2V} + (V_{IN} - 0.4 - 2.5) * I_{FPGA_2.5V} + (V_{IN} - 0.4 - 3.3) * I_{FPGA_3.3V} + (V_{IN} - 0.4 - 3.3) * I_{PER_3.3V} \\ P_{TOT} &= (V_{IN} - 1.6) * I_{FPGA_1.2V} + (V_{IN} - 2.9) * I_{FPGA_2.5V} + (V_{IN} - 3.7) * I_{FPGA_3.3V} + (V_{IN} - 3.7) * I_{PER_3.3V} \quad [W] \end{aligned}$$

Výsledný celkový ztrátový výkon při napájecím napětí 6V je:

$$\begin{aligned} P_{TOT} &= (6 - 1.6) * 0.015 + (6 - 2.9) * 0.012 + (6 - 3.7) * 0.0015 + (6 - 3.7) * I_{PER_3.3V} \\ P_{TOT} &= 0.066 + 0.0372 + 0.00345 + 2.3 * I_{PER_3.3V} \\ P_{TOT} &\cong 0.11 + 2.3 * I_{PER_3.3V} \quad [W] \end{aligned}$$

Maximální dovolený proud $I_{PER_3.3V}$ při napájecím napětí 6V je:

$$\begin{aligned} I_{PER_3.3V@6V} &\cong (P_{TOT} - 0.11) / 2.3 \\ I_{PER_3.3V@6V} &\cong (1.2 - 0.11) / 2.3 \\ I_{PER_3.3V@6V} &\cong 0.47A \end{aligned}$$

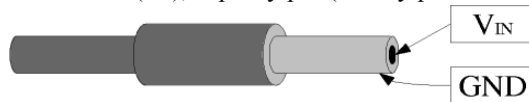
Maximální dovolený proud $I_{PER_3.3V}$ při napájecím napětí 5V (výpočet byl proveden předešlým postupem) je:

$$I_{PER_3.3V@5V} \cong 0.86A$$

Jak již bylo zmíněno výše, výpočet byl proveden pro **klidové hodnoty odebíraných proudů obvodem FPGA** (tj. pro FPGA bez naprogramování). **Po konfiguraci FPGA jsou tyto proudy vyšší** a jejich hodnota je úměrná složitosti vytvořeného návrhu a velikosti frekvence řídicího hodinového signálu. Detaily lze nalézt v [1], kapitola „DC electrical characteristics“ sekce „Quiescent current requirements“. Maximální dovolený proud $I_{PER_3.3V}$ bude tedy nižší!

Napájecí zdroj musí být dostatečně proudově dimenzován, aby pokryl proudový odběr základové desky i všech připojených rozšiřujících modulů. Nedoporučuje se proto systém napájet z baterií. Proudový odběr z napájecího zdroje je závislý na použitých rozšiřujících modulech či připojeném uživatelském hardwaru, a proto nelze definovat jeho velikost.

Napájecí napětí se připojuje pomocí konektoru CON10, což je standardní napájecí konektor s průměrem středového trnu 2,5mm. Kladný pól (V_{IN}) je připojen na vnitřní část konektoru (trn), záporný pól (nulový potenciál GND) na vnější část (obal), viz. obrázek 3.



Obr. 3 - zapojení napájecího konektoru

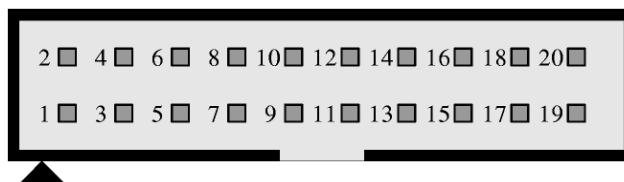
4.2 Připojení přídatných modulů – MLW20 a pin-header konektory

Obvod XC3S100/250E-TQ144 má své vývody očíslovány od 1 do 144. Označení jednotlivých vstupů/výstupů je shodné s číslováním vývodů pouzdra, takže např. I/O pin, který je připojen na vývod pouzdra č. 2 je označen jako P2. Stejně je pak očíslován i na samotné desce plošných spojů s tím rozdílem, že bylo vynecháno písmeno „P“ (pin 2 lze vidět na konektoru MLW20 – CON3). Také ve vývojových systémech (WebPack či ISE) jsou I/O signály označovány právě číslem vývodu pouzdra. Vše tedy spolu souhlasí.

Pozor! Obvody řady Spartan-3 nemají 5V tolerantní vývody, jako měly obvody řady Spartan-II a starší, takže je možné na ně připojovat pouze signály s napětím 3.3V nebo nižším.

Na základové desce jsou celkem 4 MLW20 konektory. Každý z nich obsahuje 16 I/O nebo I/P vývodů (dále jen I/O), 2 vývody připojené na napájecí napětí 3.3V a 2 vývody připojené na GND. Rozdíl mezi vývody I/O a I/P je ten, že I/O je vývod obousměrný (vstup/výstup), kdežto I/P je pouze jednosměrný (vstup) - detaily viz. [1].

Číselné označení vývodů konektoru MLW20 je zobrazeno na obrázku Obr. 4.



Obr. 4 - číslování vývodů rozšiřujících konektorů (pohled shora)

Přiřazení vývodů konektorů MLW20:

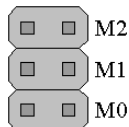
- 1, 2napájecí napětí 3.3V
- 3 až 18vstupně/výstupní vývody
- 19, 20napájecí napětí GND

Zvolená koncepce rozšiřujících konektorů MLW20 umožňuje velmi jednoduché a vysoce univerzální připojení rozšiřujícího hardware k základové desce a tím i její maximální využití. Tento styl konektorů je společný pro všechny moduly systému PKDesign - MVS.

Kromě konektorů MLW20 základová deska obsahuje množství konektorů typu **pin-header** (pinová lišta), označených jmény I/O vývodů. Tyto konektory je také možné využít pro připojení dalšího hardware.

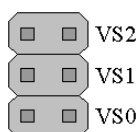
4.3 Nastavení Mode select

Obvod FPGA umožňuje několik způsobů konfigurace své interní struktury a volba se provádí 3 signály, označenými M0..2. Na základové desce jsou tyto signály připojeny na konfigurační propojky označené M0, M1 a M2 (JP1..3). Detaily viz. [1], kapitola Configuration.



4.4 Nastavení SPI variant select

Jedním ze způsobů konfigurace FPGA je konfigurace z SPI paměti. Zde je potřebné nastavení varianty SPI paměti, které se provádí 3 signály, označenými VS0..2. Na základové desce jsou tyto signály připojeny na konfigurační propojky označené VS0, VS1 a VS2 (JP4..6). Detaily viz. [1], kapitola Configuration.



4.5 Povolení konfigurační paměti XCFxx – MCE\

Sériovou paměť Platform Flash XCFxx, umístěnou na základové desce, je možné použít jako konfigurační paměť pro obvod FPGA. Aby se data z paměti mohly do FPGA načíst, je nutné paměť povolit a nastavit příslušný mód FPGA. V případě, kdy se má FPGA konfigurovat jiným způsobem (programovacím kabelem, připojeným mikrokontrolérem apod.), je naopak potřeba paměť XCFxx zakázat. To se provádí konfigurační propojkou označenou MCE\ (JP9).

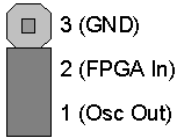
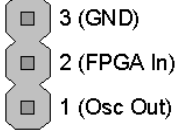
JP8	Zobrazení	Funkce
1 – 2		Paměť XCFxx je povolena, FPGA bude nakonfigurováno jejím obsahem.
Nezapojeno		Paměť XCFxx je zakázána, FPGA může být nakonfigurováno programátorem (přes SPI či JTAG) a nebo připojeným mikrokontrolérem.
2 – 3		Pro budoucí použití.

4.6 Připojení zdrojů hodinových signálů

K obvodu FPGA je možné připojit 2 zdroje hodinového signálu. Nejčastěji se k tomu používají krystalové 3.3V oscilátory, které je možné zapojit do patič DIL-8 na základové desce. Výstupní signály z oscilátorů se k FPGA připojují přes konfigurační propojky, označené jako GCLK0 (JP7) a GCLK7 (JP8). Jak již názvy samotných propojek napovídají, budou tyto hodinové signály připojeny k FPGA na vývody označené GCLK0 a GCLK7. Detailní informace ohledně funkce těchto vstupů je možné nalézt v [1], kapitola „Digital clock managers (DCM)“.

Konfigurační propojky GCLK0 a GCLK7 mohou také sloužit jako vstupní konektory pro externí zdroje hodinových signálů. Externí zdroj se pak zapojuje na prostřední pin propojky (2), GND signál zdroje pak na vývod 3.

Pozor! Obvody FPGA řady Spartan-3 umožňují připojit hodinový signál o velikosti maximálně 3.3V. Nikdy nepřipojujte signál o větší hodnotě. Tomu také odpovídá nutnost použít krystalové oscilátory 3.3V.

JP8	Zobrazení	Funkce
1 – 2		Výstup z krystalového oscilátoru je zapojen na vstup obvodu FPGA.
1 – Nezapojeno 2 – CLK IN 3 – GND		Výstup z externího zdroje hodinového signálu je zapojen na vstup obvodu FPGA.

4.7 Konfigurace FPGA přes rozhraní SPI

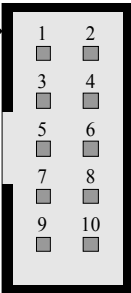
Obvod FPGA je možné konfigurovat přes SPI rozhraní buď programátorem (např. Xilinx parallel cable III nebo kompatibilním), mikrokontrolérem a nebo sériovou pamětí (Platform Flash nebo SPI).

V případě programátoru nebo mikrokontroléru je potřeba FPGA nastavit do módu Slave-serial.

V případě konfigurace sériovou pamětí Platform Flash, která je umístěna na základové desce, se FPGA nastaví do módu Master-serial. Pokud se má provádět konfigurace externí sériovou SPI pamětí, tak se FPGA nastaví do módu SPI. V tomto případě se také nastavuje typ SPI pamětí (SPI variant select, viz. kapitola 4.4 Nastavení SPI variant select).

Nastavení módů (Mode select) se provádí konfiguračními propojkami (kapitola 4.3 Nastavení Mode select). Podrobnosti ohledně jednotlivých konfiguračních módů jsou popsány v [1], kapitola Configuration.

Programátor, mikrokontrolér nebo externí sériová SPI paměť se připojuje přes SPI konektor typu MLW10. Přiřazení vývodů konektoru SPI je uvedeno v tabulce 1.

Zobrazení	Vývody	ISP	Funkce
	1	MOSI	Řídící signál pro externí SPI paměť
	2	CSO\	Chip select signál pro externí SPI paměť
	3	+3.3V	Napájecí napětí pro programátor, externí mikrokontrolér nebo SPI paměť
	4	GND	Nulový potenciál GND
	5	CCLK	Hodinový signál (vstup a nebo výstup dle módu)
	6	DONE	Výstup signalizující úspěšné dokončení konfigurace
	7	DIN	Sériový datový vstup
	8	PROG\	Signál inicializující začátek konfigurace
	9	INIT\	Výstup indikující začátek konfigurace
	10	DOUT/BUSY	Sériový datový výstup (např. pro připojení dalšího FPGA)

Tabulka 1 - označení vývodů konfiguračního konektoru SPI

Pozor! Na signál PROG\ je možné připojovat pouze výstup typu otevřený kolektor!

4.8 Konfigurace FPGA přes rozhraní JTAG

Obvod FPGA je také možné konfigurovat přes rozhraní JTAG, což se téměř výhradně provádí programátorem. Z nabídky PKDesign je možné k tomuto účelu použít programátor ParProgR (kompatibilní s Xilinx parallel cable III) a také programátor UniProgUSB.

Při konfiguraci programátorem ParProgR je softwarová podpora založena přímo na vývojovém prostředí WebPack či ISE.

Při konfiguraci programátorem UniProgUSB je nutné použít speciální volně dostupný software „MB_XC3Sxxx_JTAG_prog“.

Přes JTAG konektor je možné nejen konfigurovat obvod FPGA samotný, ale i programovat sériovou Platform Flash paměť XCFxx. FPGA a paměť jsou zapojeny do tzv. JTAG řetězce (JTAG chain). Datový vstup celého řetězce na JTAG konektoru (TDI) je zapojen na datový vstup prvního obvodu v řetězci (TDI). Výstup prvního obvodu (TDO) je zapojen na datový vstup druhého obvodu (TDI). Výstup posledního obvodu je pak zapojen zpět na JTAG konektor (jako celkový TDO). Zapojení JTAG řetězce základové desky je zobrazeno na obrázku 5.



Obr. 5 - JTAG řetězec základové desky

JTAG konektor je typu MLW10, přiřazení jeho vývodů je uvedeno v tabulce 2.

Zobrazení	Vývody	JTAG	Funkce
	1, 2	---	Nezapojeno
	3	+3.3V	Napájecí napětí pro programovací kabel (+5V)
	4	GND	Nulový potenciál GND
	5	TCK	Vstup hodinového signálu
	6	TDO	Sériový datový výstup
	7	TDI	Sériový datový vstup
	8	TMS	Řídící signál
	9, 10	---	Nezapojeno

Tabulka 2 - označení vývodů konfiguračního konektoru JTAG

4.9 Tlačítko PROG

Základová deska obsahuje tlačítko PROG, kterým je možné si vynutit novou rekonfiguraci obvodu FPGA. Tlačítko má smysl používat pouze v případě, že se konfigurace provádí ze sériové paměti, nikoliv z programátoru.

4.10 Konektory 3.3V / GND

Na základové desce jsou umístěny 3 konektory označené 3.3V / GND. Tyto konektory jsou typu pin-header a slouží pro připojení napájecího napětí 3.3V a GND buď na rozšiřující hardware a nebo mohou sloužit jako definování logických úrovní na vstupních vývodech FPGA.

5 Literatura

[1] ... Xilinx, technická dokumentace (datasheet) k obvodu XC3S100/250E, dostupná na www.xilinx.com.

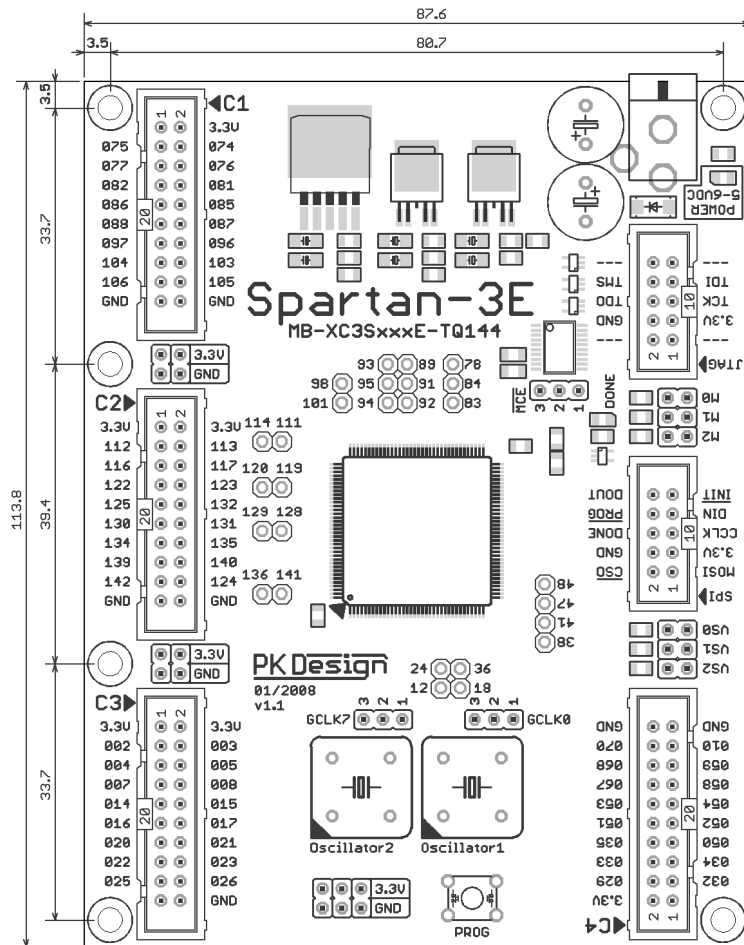
6 Historie verzí dokumentace

<i>Verze dokumentu / datum</i>	<i>Změny</i>
v1.0 / 10.10.2008	Vytvoření dokumentace pro základovou desku MB-XC3SxxxE-TQ144.

Příloha

Schéma zapojení
Rozměry a umístění montážních otvorů

Schéma zapojení není zobrazeno ve volně dostupné verzi dokumentace.



MB-XC3SxxxE-TQ144 v1.1
Základová deska modulárního vývojového systému MVS
Uživatelský manuál (verze dokumentace v1.0)
PK Design
<http://www.pk-design.net>
pkdesign@seznam.cz
10.10.2008